

PAT-NO: JP357162463A
DOCUMENT-IDENTIFIER: JP 57162463 A
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE
PUBN-DATE: October 6, 1982

INVENTOR-INFORMATION:
NAME
NISHIZAWA, JUNICHI
YAMAMOTO, KENJI

ASSIGNEE-INFORMATION:
NAME COUNTRY
SEMICONDUCTOR RES FOUND N/A

APPL-NO: JP56048881
APPL-DATE: March 31, 1981

INT-CL (IPC): H01L029/74, H01L029/80

US-CL-CURRENT: 257/E29.037, 257/E29.059 , 438/701 , 438/FOR.118

ABSTRACT:

PURPOSE: To obtain a thyristor to be used for large electric power and to operate at a high speed by a method wherein the gate region to constitute the electrostatic induction type thyristor is constituted with the two frustum of pyramid type regions, and the reverse conductive type region occupying the position between them is used as the channel region.

CONSTITUTION: An oxide film 9 is adhered on an N<SP>-</SP> type semiconductor substrate 4 occupying the position between a gate and a cathode of the electrostatic induction type thyristor, anisotropic etching is performed enlarging size of openings to be provided in a film 13 in order changing the shape of pattern of the photo resist film13 to be provided thereon, and the reverse frustum of pyramid type concave parts are formed in the substrate 4. Then the films 9, 13 are removed, the P<SP>+</SP> type regions 3 to form the gate are buried in the concave parts by epitaxial growth, the upper parts thereof are covered with N type layers 14, an N<SP>-</SP> type layer 2 is made to grow epitaxially on the whole surface suppressing jumping out of impurities from the regions 3, and the part of the layer 2 between the regions 3 is used as a channel 8. After then, the substrate is turned upside down, an N type layer 10 and a P type layer 1 to form an anode are made to grow being laminated on the layer 2, and the N<SP>+</SP> type region 11 is formed by diffusion in the layer 1.

COPYRIGHT: (C) 1982, JPO&Japio

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭57—162463

⑪ Int. Cl.³
H 01 L 29/74
29/80

識別記号

庁内整理番号
6749—5F
7925—5F

⑬ 公開 昭和57年(1982)10月6日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ 半導体装置の製造方法

⑯ 特 願 昭56—48881
⑰ 出 願 昭56(1981)3月31日
⑱ 発 明 者 西澤潤一

仙台市米ヶ袋1丁目6番16号

⑲ 発 明 者 山本健司
仙台市向山2丁目7番32号
⑳ 出 願 人 財団法人半導体研究振興会
仙台市川内(番地なし)

明 細 書

1. 発明の名称 半導体装置の製造方法
2. 特許請求の範囲

ゲート・カソード領域として第1導電型の低不純物密度基板を用いて、主表面より壁面が傾斜を有する孔を形成する工程と、前記孔にゲートとして第2導電型の高不純物密度領域を充填する工程と、前記第1導電型の主表面上に第1導電型の低不純物密度領域をエピ成長により形成し第2導電型の高不純物密度領域を埋め込む工程と、前記第1導電型の低不純物密度基板の主表面の対向面より第2導電型の高不純物領域を露出させる工程と、カソード領域として前記露出された第1導電型の低不純物密度基板の主表面の対向面の一部に第1導電型の高不純物領域を形成する工程と、アノード領域として前記第1導電型の低不純物密度領域のエピ成長面に第2導電型の高不純物密度領域を形成する工程と、カソード、アノード、ゲートに金属電極を形成する工程を含むことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

本発明は、大電力でかつ高速な半導体装置、特に静電誘導サイリスタの製造方法に関する。
従来の静電誘導サイリスタは、 n チャンネル型の例について説明するが、第1図(a)に示すように、1はアノードの P^+ 領域、2はゲート・アノード間の n^- 領域、3はゲートの P^+ 領域、4はゲート・カソード間の n^- 領域、5はカソードの n^+ 領域、6はアノード金属電極、7はカソード金属電極、8はゲート・ゲート間、いわゆるチャンネルにより形成されている。この従来の静電誘導サイリスタの製造方法は、簡単に説明すると、まずゲート・アノード間の n^- 領域2を n^- 基板として、ゲートの P^+ 領域3を酸化、ホトリソグラフィ技術、並状エッチング、拡散又はイオン注入等により形成する。このとき、アノードの P^+ 領域1も同時に形成することが多い。次にゲート・カソード間の n^- 領域4をエピタキシャル成長により形成し、ゲ-

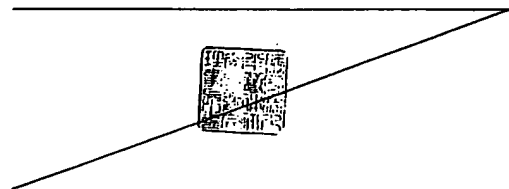
トの P^+ 領域3を埋め込む。次にカソードの n^- 領域5を拡散又はエピタキシャル成長、もしくはイオン注入等により形成する。次に酸化、ホトリソグラフ技術、選択エッチングにより、カソードの n^+ 領域5及びゲート・カソード間の n^- 領域4を除去してゲートの P^+ 領域を露出させ、ゲートのコンタクト領域を形成する。次にAl等の金属を蒸着、ホトリソグラフ技術、選択エッチング等により形成し、カソード、ゲート、アノードの各金属電極を形成するものである。

第1図(a)に示すような従来の静電誘導サイリスタは、前述のような製造方法により製作されている為、次のような欠点を有している。

ゲートの P^+ 領域3を拡散あるいはイオン注入により形成しているため、ゲート抵抗が大きい。ゲート・カソード間の n^- 領域4のエピタキシャル成長は、ゲートの P^+ 領域からのオートドーピング補償のため比較的の不純物密度が高く($\sim 10^{15} \sim 10^{16}/\text{cm}^3$)、又ゲート

・カソードの対向面積が大きいために、ゲート・カソード間容量が大きい等の欠点により、素子の特性上、ターンオフタイムが大きい等の問題が生じている。

これらの欠点を除去したものと第1図(b)に示すような静電誘導サイリスタが提案されている。この静電誘導サイリスタは、最大順方向阻止電圧 $V_{\text{off max}}$ が大きく、順方向降下電圧 V_{fd} が小さく、電圧利得 M が大きく、ゲートターンオフ電流 I_{off} が大きく、ターンオフタイム T_{off} が小さく、ターンオフ電流利得 G が大きい等の特性が得られるものとして提案されたものである。図中1~8は第1図(a)と同じで、9は酸化膜等の絶縁物、10は n^- 領域、11は n^+ 領域である。



以下第1図(b)の静電誘導サイリスタの本発明による製造方法について述べる。

第2図(a)に示すようにゲート・カソード間となる n^- 基板4の表面上に熱酸化等により酸化膜9を形成し、ホトリソグラフ技術によりホトレジスト/3を形成する。次の工程によっては破線部分まで形成する場合もある。

次に第2図(b)に示すように異方性エッチを用いて深さ 5μ 程度に n^- 基板4を除去する。又は第2図(b)に示す様に酸化膜9の開孔部を n^- 基板4を 1μ 程度エッチ除去したのち、ホトリソグラフ技術により酸化膜9の開孔部を広げながら n^- 基板4をエッチ除去する工程を繰り返して行なう事により任意の傾斜を有するエッチ孔が形成できる。酸化膜9の部分の寸法は $5 \sim 10\mu$ 程度、エッチ孔の底部間隔は 50μ 程度、深さは約 5μ 程度になる様に形成する。

次に第2図(c)に示す様にゲートとなる P^+ 領域3をエピ成長により形成する。エピ層の厚さは約 5μ 程度とする。エピ成長により P^+ 領域は

全体を高不純物密度とすることができ、ゲート抵抗を小さくすることができる。

次に第2図(d)に示す様に、ケミカル・メカニカルポリッシュ技術により平面に研磨除去したのち P^+ 領域3からのオートドーピングをおさえる為に n^- 領域/4を約 1μ 程度エピ成長により形成した後、ホトリソグラフ技術によりホトレジスト/3を形成する。

次に第2図(e)に示す様に n^- 領域/4をエッチ除去しホトレジスト/3を除去したのちゲート・アノード間領域の n^- 領域2をエピ成長により形成する。この時 P^+ 領域3の表面は n^- 領域/4によりおおわれているので P^+ の不純物の飛び出しはなく、チャンネル8が P 型の不純物で接続することなくかつ n^- 領域2の不純物密度も低くすることができる。 n^- 領域2の厚みは約 70μ 程度である。続いて n^- 領域/10をエピ成長により約 4μ 成長し次いでアノードとなる P^+ 領域/1を $1 \sim 2\mu$ 程度エピ成長により形成し、続いて熱酸化等により酸化膜9を形成しホトリソ

グラフ技術によりホトリジスト/3を形成する

次に第2図(f)に示す様に酸化膜9をエッチ除去した後ホトリジスト/3を除去して拡散又はイオン注入等によりn領域/1を形成する。これはn領域/0と接続する様にする。

次に第2図(g)に示す様にここから図面の上下が逆になるがゲート・カソード間領域のn領域4をp領域3が露出するまで研磨除去しn領域4の厚みを5μにする。続いて熱酸化膜9を形成する。

次に第2図(h)に示す様に酸化膜9をホトリソグラフ技術により除去しカソード領域のn領域5を拡散又はイオン注入等により形成する。

次に第2図(l)に示す様にホトリソグラフ技術により酸化膜9をカソード領域のn領域5及びゲート領域のp領域3のコンタクト孔の部分を除き、又アノード領域の酸化膜9を全面除去した後Al等の金属を両面に亘り蒸着等によりAl電極6、7を形成する。

次に第2図(j)に示す様にホトリソグラフ技術によりAl電極/5をカソード電極7とゲート電極/2とにエッチ分離する。

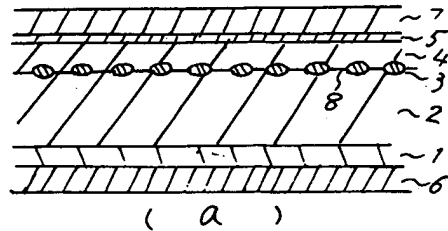
以上の工程により静電誘導サイリスタが製造できる。このサイリスタはゲートとカソードが遠いためC_{GK}が小さく、しかもチャンネル8が狭いためμが大きい等の特徴を有し、前述の様なすぐれた特性を有するものである。ここではnチャンネル型について述べるが導電型を変えればpチャンネル型静電誘導サイリスタもできることは明白である。

4. 図面の簡単な説明

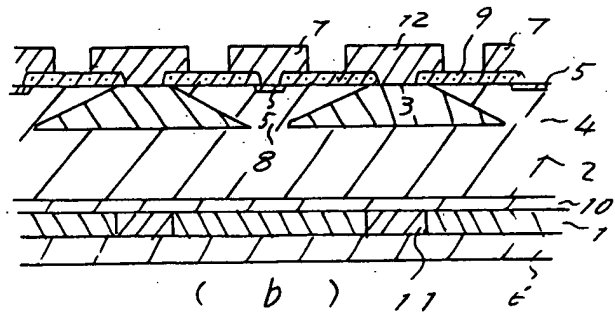
第1図(a)は従来の静電誘導サイリスタの断面図、第1図(b)は本発明により製造された静電誘導サイリスタの断面図、第2図(a)乃至(j)は本発明の工程を示す工程断面図である。

1……アノード、2……ゲート・アノード間領域、3……ゲート、4……ゲート・カソード間領域、5……カソード、6……アノードの金属電極、7……カソード金属電極、8……ゲート

ゲート間いわゆるチャンネルを示す。



(a)



(b)

